

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Manabu MINOWA :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: November 25, 2003 : Attorney Docket No. OKI.598
For: INTERFACE CIRCUIT

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Japanese application:

Appln. No. 2002-358191 filed December 10, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: November 25, 2003

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年12月10日

出願番号
Application Number:

特願2002-358191

[ST.10/C]:

[JP2002-358191]

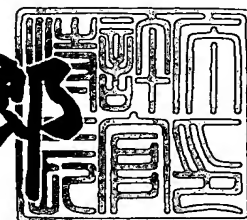
出願人
Applicant(s):

沖電気工業株式会社
株式会社 沖テクノコラージュ

2003年 7月 3日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3052689

【書類名】 特許願

【整理番号】 KA003863

【提出日】 平成14年12月10日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G06F 3/00

【発明者】

【住所又は居所】 東京都八王子市中町5番1号 株式会社 沖テクノコラ
ージュ内

【氏名】 蓑輪 学

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【特許出願人】

【識別番号】 594091019

【氏名又は名称】 株式会社 沖テクノコラージュ

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 インタフェース回路

【特許請求の範囲】

【請求項 1】 それぞれ異なる電源部を備えた第 1 及び第 2 の装置間の信号を入出力するためのインタフェース回路であって、

前記第 1 の装置の電源部から供給される第 1 の電圧電圧が出力される電源ノードと、

前記第 2 の装置の電源部から供給される第 2 の電圧電圧で駆動され、該第 2 の装置から与えられる信号の出力が前記電源ノードの電位によって制御される 3 ステートバッファと、

前記第 2 の電圧電圧で駆動され、前記 3 ステートバッファの出力側と前記第 1 の装置内の論理回路との間の接続が前記電源ノードの電位によって制御されるアナログスイッチとを、

備えたことを特徴とするインタフェース回路。

【請求項 2】 それぞれ異なる電源部を備えた第 1 及び第 2 の装置間の信号を入出力するためのインタフェース回路であって、

前記第 1 の装置の電源部から供給される第 1 の電圧電圧が出力される電源ノードと、

前記電源ノードの電圧を検出してこの電圧が基準電圧を越えているときに制御信号を出力する電圧検出器と、

前記第 2 の装置の電源部から供給される第 2 の電圧電圧で駆動され、該第 2 の装置から与えられる信号の出力が前記電源ノードの電位によって制御される 3 ステートバッファと、

前記第 2 の電圧電圧で駆動され、前記 3 ステートバッファの出力側と前記第 1 の装置内の論理回路との間の接続が前記制御信号によって制御されるアナログスイッチとを、

備えたことを特徴とするインタフェース回路。

【請求項 3】 それぞれ異なる電源部を備えた第 1 及び第 2 の装置間の信号を入出力するためのインタフェース回路であって、

前記第 1 の装置の電源部から供給される第 1 の電圧電圧が出力される電源ノードと、

前記電源ノードの電圧が基準電圧を越えているときに制御信号を出力する電圧検出器と、

前記第 2 の装置の電源部から供給される第 2 の電圧電圧で駆動され、該第 2 の装置から与えられる信号を制御端子に与えられる電圧に応じて制御して前記第 1 の装置内の論理回路に与える 3 ステートバッファと、

前記第 2 の電圧電圧で駆動され、前記電源ノードと前記 3 ステートバッファの制御端子との間の接続が前記制御信号によって制御されるアナログスイッチとを

備えたことを特徴とするインタフェース回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、それぞれ別の電源で駆動される 2 つの装置間で信号の送受信を行うインタフェース回路に関するものである。

【0002】

【従来の技術】

【0003】

【非特許文献 1】

沖電気工業株式会社「PW66Kフラッシュライタシステム ユーザーズマニュアル」(1999-5-19) p.6-8

【0004】

図 2 は、上記非特許文献 1 に記載された従来の ROM 書込装置を含む ROM 書込システムの構成図である。

【0005】

この ROM 書込システムは、ホストコンピュータ 1 から与えられるプログラムやデータを、ユーザボード 2 上のマイコン 2 a に内蔵されたフラッシュメモリに書き込むもので、ROM 書込装置 10 を有している。ホストコンピュータ 1 と R

OM書込装置10との間は、例えば、RS-232C規格のシリアル・インタフェースで接続されている。また、ROM書込装置10は、プローブケーブルを介して、ユーザボード2側の端子にプローブで接続するようになっている。

【0006】

ROM書込装置10は、交流(AC)アダプタ3から供給される直流(DC)12Vの電圧から、安定したDC5Vの電源電圧VCCを生成する電源部11を有している。電源部11の出力側は電源ノードNPに接続され、この電源ノードNPから制御部12に電源電圧VCCが与えられるようになっている。更に、このROM書込装置10は、制御部12とユーザボード2上のマイコン2aとの間で信号の送受信を行うためのインタフェース部(I/F)13を備えている。

【0007】

インタフェース部13は、各信号に対応する3ステートバッファ13a、13b、13cを有している。3ステートバッファ13a、13bは、それぞれ制御部12から出力されるクロック信号CKと書込データWDをマイコン2a側に送信するもので、3ステートバッファ13cは、マイコン2aから読み出されるデータDATを受信して、制御部12に与えるものである。3ステートバッファ13a～13cは、制御端子に与えられる信号が“H”のときに入力端子の信号を出力端子に伝え、制御端子の信号が“L”のときには出力端子を高インピーダンスにするものである。

【0008】

3ステートバッファ13a～13cの制御端子は、それぞれプルアップ抵抗14a～14cを介して電源ノードNPに接続され、制御部12からの信号によって制御されるようになっている。また、3ステートバッファ13cの出力側には、異常入力電圧による制御部12の破壊を防止するために、接地電圧GNDと電源電圧VCCに対してそれぞれ逆方向接続となるように、保護ダイオード15、16が接続されている。

【0009】

更に、インタフェース部13は、ROM書込装置10の電源電圧VCCとマイコン側の電源電圧VTG(例えば、2～5V)の相違による誤動作等を防止する

ために、ユーザボード 2 側の電源部 2 b から与えられる電源電圧 V T G によって駆動されるようになっている。

【 0 0 1 0 】

なお、ユーザボード 2 上の電源部 2 b は、マイコン 2 a の通常の動作に必要な電源電圧 V T G を生成するもので、このマイコン 2 a に内蔵されたフラッシュメモリ書込用の高電圧 V P P は、A C アダプタ 3 から R O M 書込装置 1 0 に供給される D C 1 2 V がそのまま与えられるようになっている。

【 0 0 1 1 】

このような R O M 書込システムでは、ホストコンピュータ 1 からマイコン 2 a に内蔵されたフラッシュメモリに書き込むデータが、R S - 2 3 2 C インタフェースを介して R O M 書込装置 1 0 の制御部 1 2 に与えられる。与えられたデータは、制御部 1 2 によってマイコン 2 a 側の書き込み手順に従った形式のデータに変換され、所定のプロトコルに従ってインタフェース部 1 3 に与えられる。インタフェース部 1 3 では、与えられたデータがユーザボード 2 側の電源電圧 V G T に対応した信号レベルに変換され、プローブケーブルを介してマイコン 2 a 側に出力される。これにより、マイコン 2 a に内蔵されたフラッシュメモリにデータが書き込まれる。

【 0 0 1 2 】

一方、フラッシュメモリに書き込まれたデータをチェックするために、マイコン 2 a から読み出されたデータ D A T は、3 ステートバッファ 1 3 c を介して制御部 1 2 に与えられる。制御部 1 2 では、書き込んだデータと読み出したデータを比較し、書き込みが正しく行われたか否かを判定することができる。

【 0 0 1 3 】

【発明が解決しようとする課題】

しかしながら、従来の R O M 書込システムでは、次のような課題があった。

【 0 0 1 4 】

図 3 は、従来の R O M 書込システムにおける問題点の説明図である。

【 0 0 1 5 】

R O M 書込装置 1 0 とユーザボード 2 をプローブケーブルで接続し、ユーザボ

ード2の電源が投入されると共に、このユーザボード2から“H”のデータ信号DATが出力された状態で、ROM書込装置10の電源が切断（ACアダプタ3が外れた状態に）されると、インタフェース部13が発熱したり、場合によっては熱破壊を生ずることがあった。

【0016】

これは、ACアダプタ3が外されたことにより、電源ノードNPに電源電圧VCCが印加されなくなり、本来、逆方向接続であるべき保護ダイオード16が順方向接続になって、3ステートバッファ13cの出力信号が、この保護ダイオード16及びプルアップ抵抗14cを介して制御端子に帰還されることによるものである。

【0017】

図3中に例示したように、3ステートバッファ13cは、電源端子VD、接地端子VS、入力端子I、出力端子O及び制御端子Cを有し、インバータ21、22、NAND23、NOR24、PMOS25及びNMOS26で構成されている。

【0018】

3ステートバッファ13cの制御端子Cは、インバータ21の入力側に接続され、このインバータ21の出力側がインバータ22とNAND23の一方の入力側に接続されている。また、インバータ22の出力側は、NOR24の一方の入力側に接続されている。入力端子Iは、NAND23とNOR24の他方の入力側に接続され、このNAND23とNOR24の出力側が、それぞれPMOS25とNMOS26のゲートに接続されている。そして、PMOS25とNMOS26のドレインが、出力端子Oに接続されている。

【0019】

このような3ステートバッファ13cによるインタフェースにおいて、電源ノードNPに電源電圧VCC（例えば、5V）が供給された状態で、電源端子VDにユーザボード2から電源電圧VTG（例えば、5V）が与えられ、更に入力端子Iに“H”のデータ信号DATが与えられると、出力端子Oの信号はほぼ電源電圧VTGとなる。

【 0 0 2 0 】

ここでACアダプタ3が取り外されると、電源ノードNPに供給される電源電圧VCCはなくなる。これにより、3ステートバッファ13cの出力端子Oの“H”の信号が、保護ダイオード16及び電源ノードNPを介して制御部12に印加される。これにより、制御部12に負荷電流が流れ、電源ノードNPの電位が低下する。

【 0 0 2 1 】

電源ノードNPの電位は、プルアップ抵抗14cを介して3ステートバッファ13cの制御端子Cに与えられるが、この制御端子Cの電位が電源電圧VTGのほぼ1/2になると、インバータ21を構成するPMOS21aとNMOS21bに貫通電流が流れる。これにより、インタフェース部13が発熱し、場合によっては熱破壊につながるという現象が生ずるのである。

【 0 0 2 2 】

【課題を解決するための手段】

前記課題を解決するために、本発明は、それぞれ異なる電源部を備えた第1及び第2の装置間の信号を入出力するためのインタフェース回路を、第2の装置の電源部から供給される第2の電源電圧で駆動され、この第2の装置から与えられる信号の出力が第1の装置から供給される第2の電源電圧によって制御される3ステートバッファと、第2の電源電圧で駆動されて3ステートバッファの出力側と第1の装置内の論理回路との間の接続を第1の電源電圧で制御するアナログスイッチとを有する構成にしている。

【 0 0 2 3 】

本発明によれば、このようにインタフェース回路を構成したので、第1の電源電圧がなくなると、アナログスイッチがオフ状態となり、3ステートバッファの出力側が論理回路と完全に遮断される。これにより、3ステートバッファの出力電圧がこの3ステートバッファの制御信号として回り込むことがなくなる。

【 0 0 2 4 】

【発明の実施の形態】

【 0 0 2 5 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態を示す ROM 書込システムの構成図であり、図 2 中の要素と共通の要素には共通の符号が付されている。

【 0 0 2 6 】

この ROM 書込システムは、図 2 の ROM 書込システムと同様に、ホストコンピュータ 1 から与えられるプログラムやデータを、ユーザボード 2 上のマイコン 2 a に内蔵されたフラッシュメモリに書き込むもので、ROM 書込装置 1 0 A を有している。ホストコンピュータ 1 と ROM 書込装置 1 0 A の間は、例えば RS - 2 3 2 C 規格のシリアル・インタフェースで接続されている。また、ROM 書込装置 1 0 A は、プローブケーブルを介してユーザボード 2 側の端子にプローブで接続するようになっている。

【 0 0 2 7 】

ROM 書込装置 1 0 A は、AC アダプタ 3 から供給される DC 1 2 V を、逆流防止用のダイオード 1 7 と平滑用のキャパシタ 1 8 を介して入力し、安定した DC 5 V の電源電圧 VCC を生成する電源部 1 1 を有している。電源部 1 1 の出力側は電源ノード NP に接続され、この電源ノード NP から書き込みの制御を行うための制御部 1 2 に、電源電圧 VCC が与えられるようになっている。更に、この ROM 書込装置 1 0 A は、制御部 1 2 とユーザボード 2 上のマイコン 2 a との間で信号の送受信を行うためのインタフェース部 1 3 を有している。

【 0 0 2 8 】

インタフェース部 1 3 は、各信号に対応する 3 ステートバッファ 1 3 a ~ 1 3 c を有している。このうち、3 ステートバッファ 1 3 a, 1 3 b は、それぞれ制御部 1 2 から出力されるクロック信号 CK と書込データ WD をマイコン 2 a 側に送信するもので、3 ステートバッファ 1 3 c は、マイコン 2 a から読み出されるデータ DAT を受信して制御部 1 2 に与えるものである。3 ステートバッファ 1 3 a ~ 1 3 c は、制御端子に与えられる信号が “H” のときに、入力端子の信号を出力端子に伝え、制御端子の信号が “L” のときには、出力端子を高インピーダンスにするものである。

【 0 0 2 9 】

3 ステートバッファ 1 3 a ~ 1 3 c の制御端子は、それぞれプルアップ抵抗 1 4 a ~ 1 4 c を介して電源ノード N P に接続されると共に、制御部 1 2 から制御されるようになっている。このインタフェース部 1 3 は、ROM 書込装置 1 0 A の電源電圧 V C C とマイコン側の電源電圧 V T G（例えば、2 ~ 5 V）の相違による誤動作等を防止するために、ユーザボード 2 側の電源部 2 b から与えられる電源電圧 V T G によって駆動されるようになっている。

【 0 0 3 0 】

なお、ユーザボード 2 上の電源部 2 b は、マイコン 2 a の通常の動作に必要な電源電圧 V T G を生成するもので、このマイコン 2 a に内蔵されたフラッシュメモリ書込用の高電圧 V P P は、A C アダプタ 3 から ROM 書込装置 1 0 に供給される D C 1 2 V がそのまま与えられるようになっている。

【 0 0 3 1 】

3 ステートバッファ 1 3 c の出力側は、ユーザボード 2 の電源電圧 V T G で駆動されるアナログスイッチ 3 0 を介して制御部 1 2 に接続されている。アナログスイッチ 3 0 は、P M O S 3 1 及び N M O S 3 2 を並列に接続したスイッチ部と、これらの P M O S 3 1 及び N M O S 3 2 をオン／オフ制御する 2 段のインバータで構成されている。

【 0 0 3 2 】

P M O S 3 1 と N M O S 3 2 の基板電位は、それぞれ電源電圧側と接地電圧側に接続されている。P M O S 3 3 と N M O S 3 4 で構成される初段のインバータの入力側は電源ノード N P に接続され、その出力側は P M O S 3 1 のゲートに接続されている。また、P M O S 3 5 と N M O S 3 6 で構成される次段のインバータの出力側は N M O S 3 2 のゲートに接続されている。

【 0 0 3 3 】

アナログスイッチ 3 0 の出力側には、異常入力電圧による制御部 1 2 の破壊を防止するために、接地電圧 G N D と電源電圧 V C C に対してそれぞれ逆方向接続となるように、保護ダイオード 1 5, 1 6 が接続されている。

【 0 0 3 4 】

次に、動作を説明する。

【 0 0 3 5 】

ROM書込装置10Aとホストコンピュータ1をRS-232Cインタフェースで接続すると共に、このROM書込装置10Aに書き込み対象のユーザボード2をプローブケーブルを介して接続する。更に、ROM書込装置10Aに、ACアダプタ3からDC12Vを供給すると共に、ユーザボード2の電源を投入する。これにより、アナログスイッチ30はオン状態に設定される。

【 0 0 3 6 】

このような状態で、ホストコンピュータ1からマイコン2aに内蔵されたフラッシュメモリに書き込むデータが、RS-232Cインタフェースを介してROM書込装置10Aの制御部12に与えられる。与えられたデータは、制御部12によってマイコン2a側の書込手順に従った形式のデータに変換され、所定のプロトコルに従ってインタフェース部13に与えられる。

【 0 0 3 7 】

インタフェース部13では、与えられたデータがユーザボード2側の電源電圧VGTに対応した信号レベルに変換され、プローブケーブルを介してマイコン2aに与えられる。これにより、マイコン2aに内蔵されたフラッシュメモリにデータが書き込まれる。

【 0 0 3 8 】

一方、フラッシュメモリに書き込まれたデータをチェックするために、マイコン2aから読み出されたデータDATは、3ステートバッファ13cとアナログスイッチ30を介して制御部12に与えられる。制御部12では、書き込んだデータと読み出したデータが比較され、書き込みが正しく行われたか否かが判定される。

【 0 0 3 9 】

ここで、ユーザボード2側の電源を投入したままで、ROM書込装置10A側のACアダプタ3を外したとする。これにより、電源ノードNPに印加されていた電源電圧VCCがなくなり、この電源ノードNPは制御部12の論理回路を構成するトランジスタ等を介して接地電圧GNDに接続され、この電源ノードNPの電位はほぼ接地電圧GNDに等しくなる。

【 0 0 4 0 】

アナログスイッチ 3 0 は、電源ノード N P の電位によってオン／オフ制御されているので、この電源ノード N P が接地電圧 G N D になると、オフ状態となる。これにより、3 ステートバッファ 1 3 c の出力信号がアナログスイッチ 3 0 の出力側に出ることはない。このため、電源ノード N P の電位は接地電圧 G N D に保たれ、インタフェース部 1 3 は完全にオフ状態となる。

【 0 0 4 1 】

以上のように、この第 1 の実施形態の R O M 書込システムにおける R O M 書込装置 1 0 A は、インタフェース部 1 3 の出力側に、電源ノード N P の電位で制御されるアナログスイッチ 3 0 を設けている。これにより、ユーザボード 2 の電源を投入したままで、R O M 書込装置 1 0 A の電源を切断しても、このユーザボード 2 の電源の回り込みが阻止され、インタフェース部 1 3 の発熱や熱破壊を防止することができるという利点がある。

【 0 0 4 2 】

(第 2 の実施形態)

図 4 は、本発明の第 2 の実施形態を示すインタフェース回路の構成図であり、図 1 中の要素と共通の要素には共通の符号が付されている。

【 0 0 4 3 】

この図 4 のインタフェース回路は、例えば図 1 の R O M 書込システムと同様に、それぞれ異なる電源を有する第 1 の装置（例えば、R O M 書込装置）と第 2 の装置（例えば、ユーザボード）との間で、信号の送受信を行うために設けられたものである。

【 0 0 4 4 】

このインタフェース回路は、図示しない A C アダプタから供給される D C 電圧を、逆流防止用のダイオード 1 7 と平滑用のキャパシタ 1 8 を介して入力し、安定した電源電圧 V C C を生成する電源部 1 1 を有している。電源部 1 1 の出力側は電源ノード N P に接続され、この電源ノード N P から論理回路 1 7 に電源電圧 V C C が与えられるようになっている。

【 0 0 4 5 】

更に、このインタフェース回路は、図示しない第2の装置から与えられるデータ信号DATを受信するための3ステートバッファ13cを有している。3ステートバッファ13cは、制御端子に与えられる信号が“H”のときに入力端子の信号を出力端子に伝え、制御端子の信号が“L”のときには出力端子を高インピーダンスにするものである。3ステートバッファ13cの制御端子は、プルアップ抵抗14cを介して電源ノードNPに接続されている。3ステートバッファ13cは、電源電圧VCCと第2の装置側の電源電圧VTGの相違による誤動作等を防止するために、この第2の装置側から与えられる電源電圧VTGによって駆動されるようになっている。

【0046】

3ステートバッファ13cの出力側は、第2の装置側の電源電圧VTGで駆動されるアナログスイッチ30を介して論理回路17に接続されている。アナログスイッチ30は、制御端子に与えられる信号によって、入力側と出力側の接続をオン/オフするもので、この制御端子には電圧検出器40の出力信号が与えられるようになっている。

【0047】

電圧検出器40は、電源ノードNPの電圧を検出して、この電圧が基準電圧を越えていれば“H”の出力信号を出力するものである。この電圧検出器40は、電源ノードNPの電圧を分圧する抵抗41、42と、基準値を生成する定電流回路及びツェナーダイオード44を有している。分圧された電圧は、比較回路(CMP)45によって基準値と比較されるようになっている。比較回路45の出力側は、ソースが接地電圧GNDに接続されてオープンドレインとなったNMOS46のゲートに接続されている。

【0048】

NMOS46のドレインは、負荷抵抗47を介して第2の装置側の電源電圧VTGに接続され、このNMOS46のドレインからアナログスイッチ30に対する制御用の信号が出力されるようになっている。

【0049】

次に動作を説明する。

【 0 0 5 0 】

3ステートバッファ13cとアナログスイッチ30は、第2の装置側から与えられる電源電圧VTGによって駆動される。また、ACアダプタからDC電圧が供給されると、電源部11によって電源電圧VCCが生成され、電源ノードNPに出力される。これにより、電圧検出器40の出力信号は“H”となり、アナログスイッチ40はオン状態となる。また、3ステートバッファ13cの制御端子にはプルアップ抵抗14cを介して電源電圧VCCが与えられる。これにより、第2の装置側から与えられたデータ信号DATは、3ステートバッファ13cとアナログスイッチ30を通過して制御部12に出力される。

【 0 0 5 1 】

ここで、ACアダプタからのDC電圧供給が停止され、電源ノードNPの電圧が低下して基準電圧以下になると、電圧検出器40の出力信号は“L”となる。これにより、アナログスイッチ30はオフ状態となり、3ステートバッファ13cの出力信号は遮断され、電源ノードNPは接地電圧GNDとなる。

【 0 0 5 2 】

以上のように、この第2の実施形態のインタフェース回路は、3ステートバッファ13cの出力側にアナログスイッチ30を設けると共に、電源ノードNPの電圧を検出する電圧検出器40を設け、この電圧検出器40の出力信号によってアナログスイッチ30を制御するようにしている。

【 0 0 5 3 】

これにより、第2の装置の電源を投入したままで、第1の装置側の電源を切断しても、この第2の装置の電源電圧VTGの回り込みが確実に阻止され、3ステートバッファ13cの発熱や熱破壊を防止することができるという利点がある。また、電圧検出器40の出力信号は電源電圧VTGを越えることがないので、電源電圧VCCが電源電圧VTGよりも高い場合でも、アナログスイッチ30を破壊したり誤動作させるおそれがないという利点がある。

【 0 0 5 4 】

(第3の実施形態)

図5は、本発明の第3の実施形態を示すインタフェース回路の構成図であり、

図 4 中の要素と共通の要素には共通の符号が付されている。

【 0 0 5 5 】

このインタフェース回路は、図 4 中のアナログスイッチ 3 0 を削除して 3 ステートバッファ 1 3 c の出力側を制御部 1 2 に直接接続すると共に、プルアップ抵抗 1 4 c と 3 ステートバッファ 1 3 c の制御端子の間に、アナログスイッチ 3 0 A を挿入したものである。アナログスイッチ 3 0 A は、第 2 の装置側から与えられる電源電圧 V T G で駆動され、電圧検出器 4 0 の出力信号によってオン／オフ制御されるようになっている。その他の構成は、図 4 と同様である。

【 0 0 5 6 】

次に動作を説明する。

【 0 0 5 7 】

第 2 の装置側から電源電圧 V T G が与えられると、3 ステートバッファ 1 3 c とアナログスイッチ 3 0 A が駆動される。また、AC アダプタから DC 電圧が供給されると、電源部 1 1 によって電源電圧 V C C が生成され、電源ノード N P に出力される。これにより、電圧検出器 4 0 の出力信号は “H” となり、アナログスイッチ 3 0 A がオン状態となって、電源ノード N P の電圧がプルアップ抵抗 1 4 c とアナログスイッチ 3 0 A を介して、3 ステートバッファ 1 3 c の制御端子に与えられる。そして、第 2 の装置側から与えられるデータ信号 D A T は、3 ステートバッファ 1 3 c を通過して制御部 1 2 に出力される。

【 0 0 5 8 】

ここで、AC アダプタの DC 電圧供給が停止され、電源ノード N P の電圧が低下して基準電圧以下になると、電圧検出器 4 0 の出力信号は “L” となる。これにより、アナログスイッチ 3 0 A はオフ状態となり、3 ステートバッファ 1 3 c に対する制御信号は “L” となって、第 2 の装置側から与えられるデータ信号 D A T は遮断される。

【 0 0 5 9 】

以上のように、この第 3 の実施形態のインタフェース回路は、3 ステートバッファ 1 3 c に対する制御信号をアナログスイッチ 3 0 A を介して与えるようにすると共に、電源ノード N P の電圧を検出する電圧検出器 4 0 を設け、この電圧検

出器 4 0 の出力信号によってアナログスイッチ 3 0 A を制御するようにしている。これにより、第 2 の実施形態と同様の利点に加えて、3 ステートバッファ 1 3 c と制御部 1 2 との間が直接接続されているので、アナログスイッチによる信号レベルの低下や遅延等が生じないという利点がある。

【 0 0 6 0 】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【 0 0 6 1 】

(a) ROM 書込システムにおけるインタフェース回路について説明したが、それぞれ別の電源を有する 2 つの装置間のインタフェース回路として適用することができる。

【 0 0 6 2 】

(b) アナログスイッチ 3 0 や電圧検出器 4 0 の回路構成は、例示したものに限定されない。

【 0 0 6 3 】

【発明の効果】

以上詳細に説明したように、本発明によれば、第 1 の装置の電源電圧によって、3 ステートバッファの出力側とこの第 1 の装置内の論理回路との間、またはこの 3 ステートバッファに対する制御信号の経路をオン／オフ制御するアナログスイッチを有している。これにより、第 1 の装置の電源電圧がなくなったときに、第 2 の装置側の電源電圧が 3 ステートバッファの制御端子に回り込むことがなくなり、この 3 ステートバッファの発熱や熱破壊を防止することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示す ROM 書込システムの構成図である。

【図 2】

従来の ROM 書込装置を含む ROM 書込システムの構成図である。

【図 3】

従来の ROM 書込システムにおける問題点の説明図である。

【図 4】

本発明の第 2 の実施形態を示すインタフェース回路の構成図である。

【図 5】

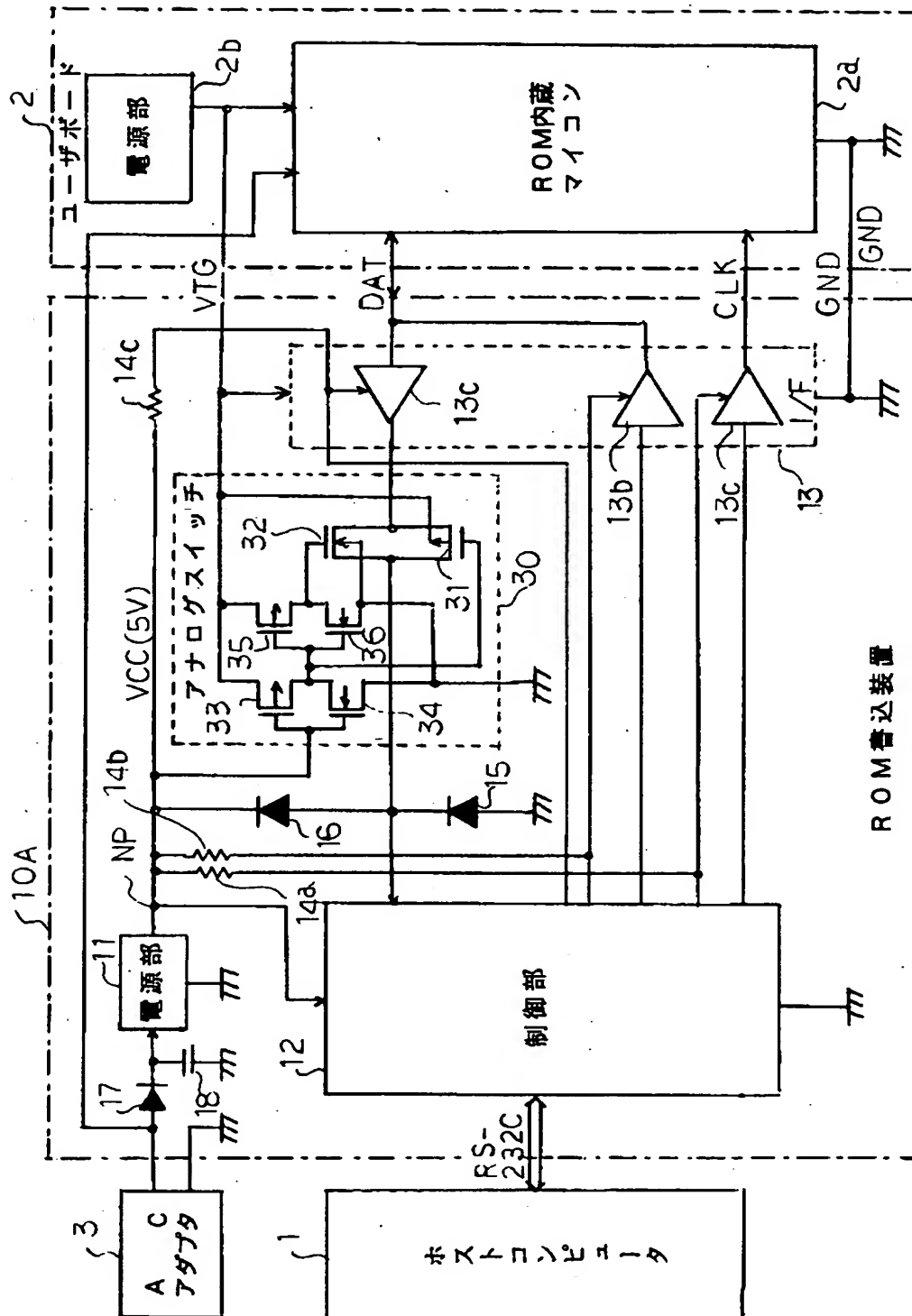
本発明の第 3 の実施形態を示すインタフェース回路の構成図である。

【符号の説明】

- 1 1 電源部
- 1 2 制御部
- 1 3 インタフェース部
- 1 3 a ~ 1 3 c 3 ステートバッファ
- 1 4 a ~ 1 4 c プルアップ抵抗
- 1 5, 1 6 保護ダイオード
- 1 7 論理回路
- 3 0, 3 0 A アナログスイッチ
- 4 0 電圧検出器

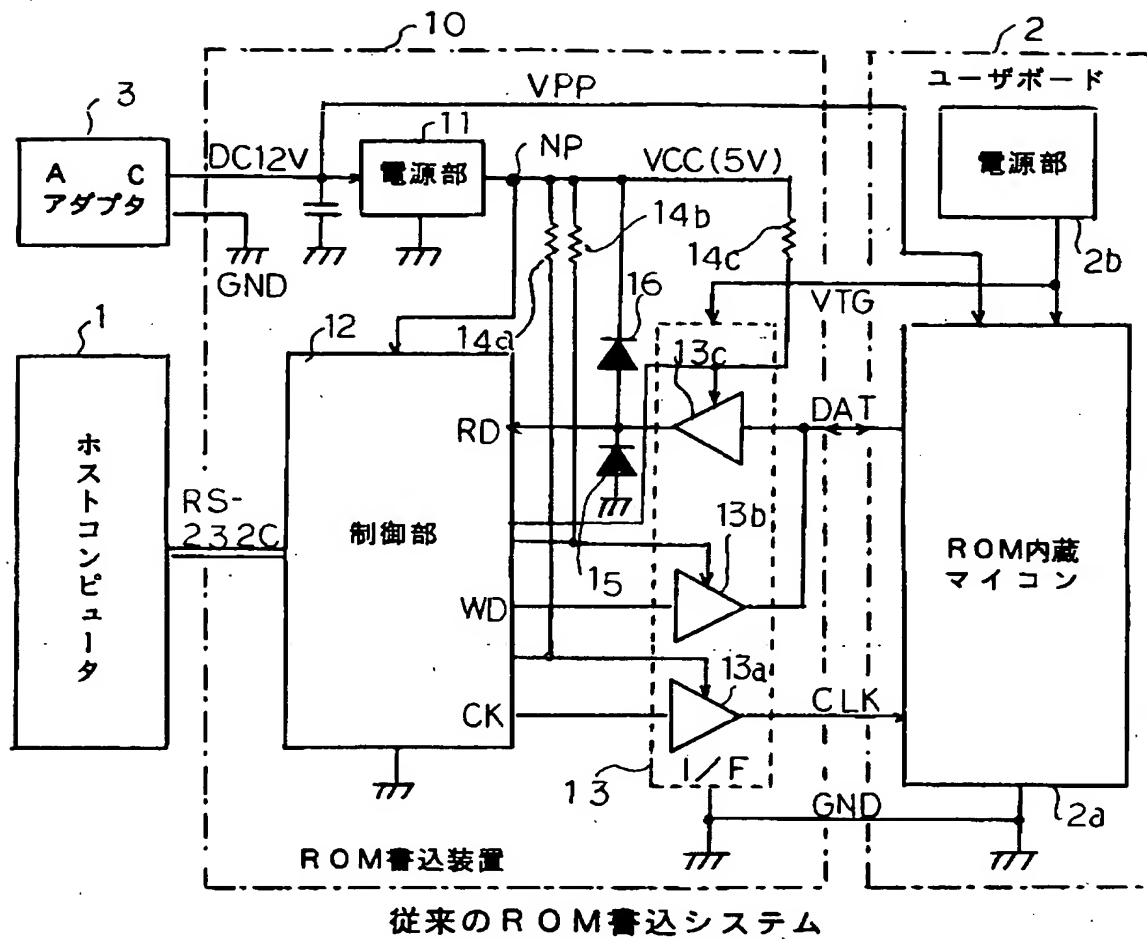
【書類名】 図面

【図 1】

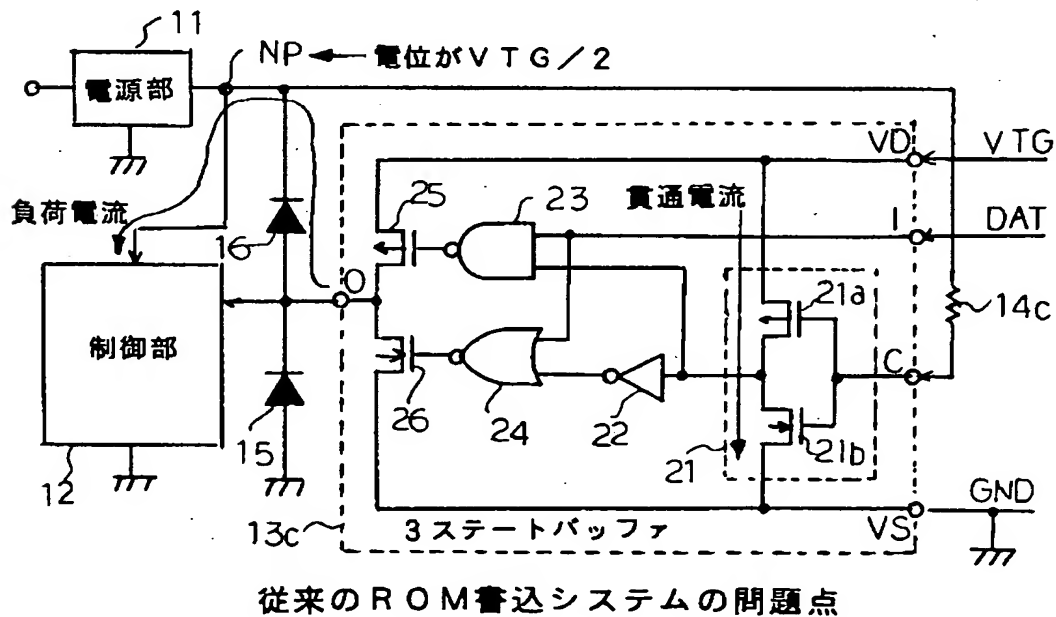


本発明の第1の実施形態のROM書き込システム

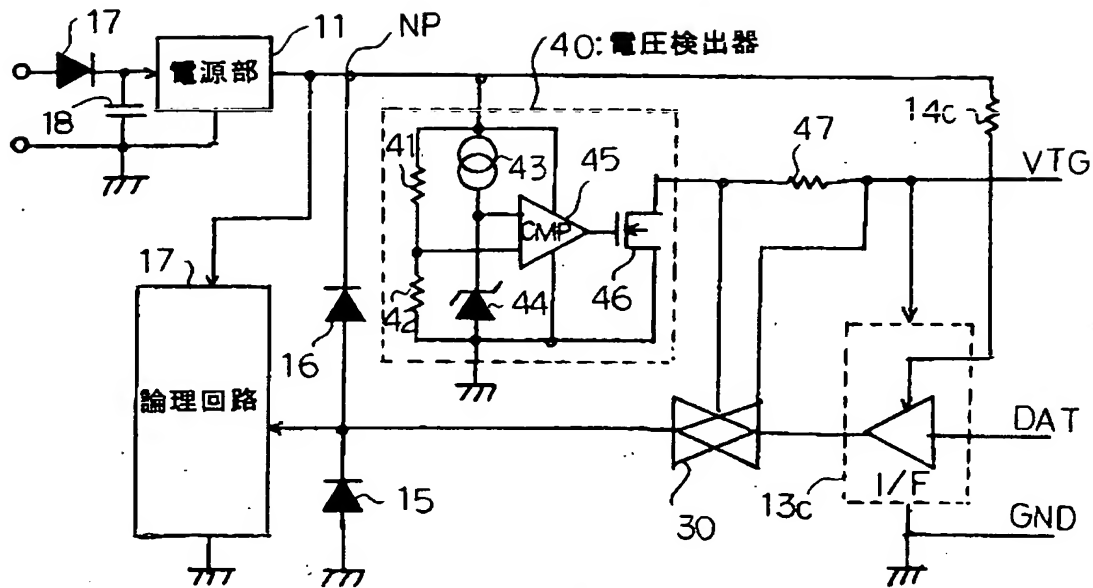
【図 2】



【図 3】

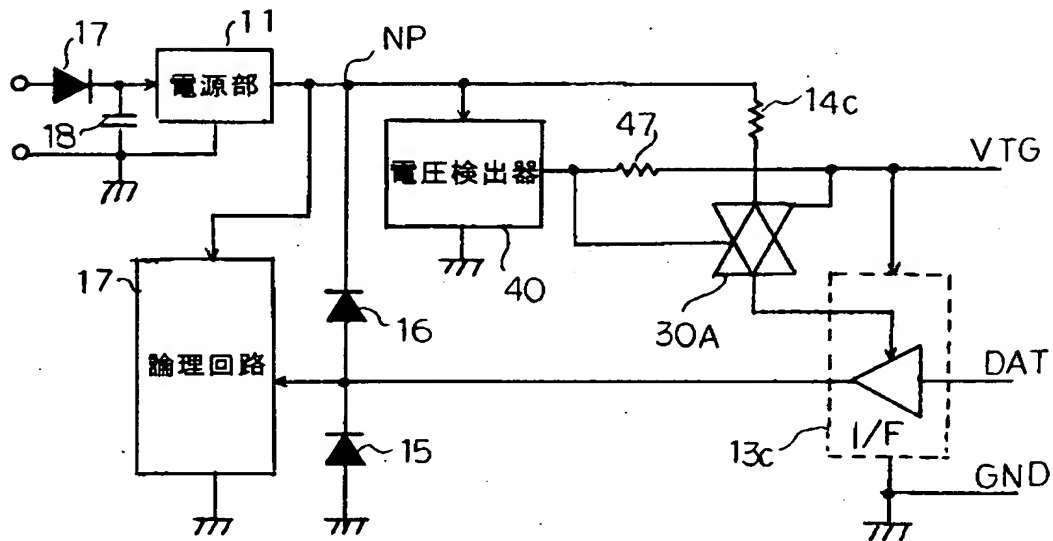


【図 4】



本発明の第 2 の実施形態のインタフェース回路

【図 5】



本発明の第 3 の実施形態のインタフェース回路

【書類名】 要約書

【要約】

【課題】 電源切断時に、他方の装置からの電源電圧の回り込みによるインタフェース回路の破壊を防止する。

【解決手段】 ACアダプタ3が外されてROM書込装置10Aの電源ノードNPへの電源供給が停止されると、この電源ノードNPの電圧で制御されるアナログスイッチ30がオフ状態となる。これにより、ユーザボード2側の電源電圧VTGが投入されていても、このユーザボード2から出力されるデータ信号DATはアナログスイッチ30で遮断され、ダイオード16を介して電源ノードNPに回り込むことがない。従って、3ステートバッファ13c0の制御端子は確実に“L”となり、この3ステートバッファ13cに貫通電流が流れて熱による破壊が生ずるおそれがない。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社

出 願 人 履 歴 情 報

識別番号 [594091019]

1. 変更年月日	2002年 6月10日
[変更理由]	名称変更
住 所	東京都八王子市中町5番1号
氏 名	株式会社 沖テクノコラージュ